

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月11日

出 願 番 号

Application Number:

特願2002-265122

[ST.10/C]:

[JP2002-265122]

出 願 人

Applicant(s):

セイコーエプソン株式会社

2003年 6月 9日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3044473

【書類名】 特許願

【整理番号】 PA04F143

【提出日】 平成14年 9月11日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H03B 5/36

【発明者】

    【住所又は居所】 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内

    【氏名】 関 浩

【特許出願人】

    【識別番号】 000002369

    【氏名又は名称】 セイコーエプソン株式会社

【代理人】

    【識別番号】 110000028

    【氏名又は名称】 特許業務法人 明成国際特許事務所

    【代表者】 下出 隆史

    【電話番号】 052-218-5061

【手数料の表示】

    【予納台帳番号】 133917

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 0105458

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 外部に設けられる振動子を利用する半導体装置であって、  
前記振動子と並列に設けられ、絶縁ゲート型のトランジスタを用いて形成された反転増幅器と、

絶縁ゲート型のトランジスタを用いて形成され、前記反転増幅器から出力される信号を他の回路に伝達するためのバッファ回路と、

前記反転増幅器の出力端子と前記バッファ回路の入力端子との間に設けられ、絶縁ゲート型のトランジスタを用いて形成されたトランスミッションゲートと、  
を備えることを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置であって、  
前記トランスミッションゲートは、n チャンネル型の MOS トランジスタと p チャンネル型の MOS トランジスタとが組み合わされた CMOS トランスミッションゲートである、半導体装置。

【請求項 3】 請求項 1 記載の半導体装置であって、  
前記トランスミッションゲートは、n チャンネル型の MOS トランジスタで構成されている、半導体装置。

【請求項 4】 請求項 1 記載の半導体装置であって、  
前記トランスミッションゲートは、p チャンネル型の MOS トランジスタで構成されている、半導体装置。

【請求項 5】 請求項 1 記載の半導体装置であって、  
前記トランスミッションゲートは、定常的にオン状態に設定されている、半導体装置。

【請求項 6】 請求項 1 記載の半導体装置であって、さらに、  
前記反転増幅器の入力端子に接続された第 1 の抵抗器を備え、  
直列接続された前記第 1 の抵抗器と前記反転増幅器とは、前記振動子と並列に設けられている、半導体装置。

【請求項 7】 請求項 6 記載の半導体装置であって、さらに、

前記反転増幅器の出力端子に接続された第 2 の抵抗器を備え、  
直列接続された前記第 1 の抵抗器と前記反転増幅器と前記第 2 の抵抗器とは、  
前記振動子と並列に設けられている、半導体装置。

【請求項 8】 請求項 1 記載の半導体装置であって、  
前記半導体装置は、前記振動子と、前記振動子と並列に設けられる帰還抵抗器  
と、を利用する、半導体装置。

【請求項 9】 請求項 8 記載の半導体装置であって、  
前記帰還抵抗器は、前記半導体装置の外部に設けられている、半導体装置。

【請求項 10】 発振回路であって、  
振動子と、  
前記振動子を利用する半導体装置と、  
を備え、  
前記半導体装置は、  
前記振動子と並列に設けられ、絶縁ゲート型のトランジスタを用いて形成され  
た反転増幅器と、  
絶縁ゲート型のトランジスタを用いて形成され、前記反転増幅器から出力され  
る信号を他の回路に伝達するためのバッファ回路と、  
前記反転増幅器の出力端子と前記バッファ回路の入力端子との間に設けられ、  
絶縁ゲート型のトランジスタを用いて形成されたトランスミッションゲートと、  
を備えることを特徴とする発振回路。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

この発明は、半導体装置を用いて形成される発振回路の技術に関する。

##### 【0002】

##### 【従来の技術】

集積回路などの半導体装置では、MOS トランジスタが多く利用されている。  
半導体装置内部の回路は、与えられたクロック信号に応じて動作する。このため  
、半導体装置の外部には、通常、水晶振動子が設けられており、半導体装置の内

部および外部には、水晶振動子を含む発振回路が形成されている。

#### 【0003】

図6は、従来の発振回路900の基本的な構成を示す説明図である。図示するように、発振回路900は、水晶振動子910と、水晶振動子に並列接続された帰還抵抗器920と、水晶振動子に並列接続された反転増幅器960と、反転増幅器の出力端子に接続されたバッファ回路970と、を備えている。図6において、水晶振動子910と帰還抵抗器920とは、半導体装置950の外部に設けられている。また、反転増幅器960とバッファ回路970とは、半導体装置950の内部に設けられており、MOSトランジスタを用いて形成されている。

#### 【0004】

なお、従来の発振回路としては、例えば、特許文献1が挙げられる。

#### 【0005】

##### 【特許文献1】

特開平7-221549号公報

#### 【0006】

##### 【発明が解決しようとする課題】

ところで、近年、MOSトランジスタの微細化が進んでおり、これに伴って、トランジスタのゲート酸化膜は薄くなっている。このようにゲート酸化膜が薄くなると、ゲート酸化膜の耐圧が低くなる。このため、比較的薄いゲート酸化膜を有するMOSトランジスタを用いて発振回路を形成する場合には、静電気に起因して、半導体装置950に設けられたピンP1、P2に比較的高い電圧が加わると、トランジスタのゲート酸化膜は、容易に破壊されてしまう。

#### 【0007】

この発明は、従来技術における上述の課題を解決するためになされたものであり、発振回路を形成する半導体装置内部のトランジスタのゲート絶縁膜が静電気によって破壊されるのを抑制することのできる技術を提供することを目的とする。

#### 【0008】

##### 【課題を解決するための手段およびその作用・効果】

上述の課題の少なくとも一部を解決するため、本発明の第 1 の装置は、外部に設けられる振動子を利用する半導体装置であって、

前記振動子と並列に設けられ、絶縁ゲート型のトランジスタを用いて形成された反転増幅器と、

絶縁ゲート型のトランジスタを用いて形成され、前記反転増幅器から出力される信号を他の回路に伝達するためのバッファ回路と、

前記反転増幅器の出力端子と前記バッファ回路の入力端子との間に設けられ、絶縁ゲート型のトランジスタを用いて形成されたトランスミッションゲートと、を備えることを特徴とする。

#### 【 0 0 0 9 】

この装置では、トランスミッションゲートが設けられているため、トランスミッションゲートのオン抵抗を利用することによって、バッファ回路に含まれるトランジスタのゲート絶縁膜が静電気によって破壊されるのを抑制することができる。

#### 【 0 0 1 0 】

上記の装置において、

前記トランスミッションゲートは、 $n$ チャネル型の MOS トランジスタと  $p$ チャネル型の MOS トランジスタとが組み合わされた CMOS トランスミッションゲートであることが好ましい。

#### 【 0 0 1 1 】

こうすれば、反転増幅器からバッファ回路への良好な伝搬特性を得ることができる。

#### 【 0 0 1 2 】

あるいは、前記トランスミッションゲートは、 $n$ チャネル型の MOS トランジスタで構成されていてもよいし、 $p$ チャネル型の MOS トランジスタで構成されていてもよい。

#### 【 0 0 1 3 】

上記の装置において、

前記トランスミッションゲートは、定常的にオン状態に設定されていることが

好ましい。

【 0 0 1 4 】

こうすれば、トランсмисシヨンゲートの制御を省略することができる。

【 0 0 1 5 】

さらに、上記の装置において、

前記反転増幅器の入力端子に接続された第 1 の抵抗器を備え、

直列接続された前記第 1 の抵抗器と前記反転増幅器とは、前記振動子と並列に設けられていることが好ましい。

【 0 0 1 6 】

こうすれば、第 1 の抵抗器によって、反転増幅器に含まれるトランジスタのゲート絶縁膜が静電気によって破壊されるのを抑制することができる。

【 0 0 1 7 】

さらに、上記の装置において、

前記反転増幅器の出力端子に接続された第 2 の抵抗器を備え、

直列接続された前記第 1 の抵抗器と前記反転増幅器と前記第 2 の抵抗器とは、前記振動子と並列に設けられていることが好ましい。

【 0 0 1 8 】

こうすれば、第 2 の抵抗器によって、トランсмисシヨンゲートを静電気から保護することができる。

【 0 0 1 9 】

上記の装置において、

前記半導体装置は、前記振動子と、前記振動子と並列に設けられる帰還抵抗器と、を利用することが好ましい。

【 0 0 2 0 】

ここで、前記帰還抵抗器は、前記半導体装置の外部に設けられていてもよい。

【 0 0 2 1 】

このように、帰還抵抗器を利用すれば、振動子を確実に振動させることができる。

【 0 0 2 2 】

本発明の第 2 の装置は、発振回路であって、  
振動子と、  
前記振動子を利用する半導体装置と、  
を備え、  
前記半導体装置は、  
前記振動子と並列に設けられ、絶縁ゲート型のトランジスタを用いて形成された反転増幅器と、  
絶縁ゲート型のトランジスタを用いて形成され、前記反転増幅器から出力される信号を他の回路に伝達するためのバッファ回路と、  
前記反転増幅器の出力端子と前記バッファ回路の入力端子との間に設けられ、絶縁ゲート型のトランジスタを用いて形成されたトランスミッションゲートと、  
を備えることを特徴とする。

【 0 0 2 3 】

この装置では、第 1 の装置と同様に、トランスミッションゲートが設けられているため、トランスミッションゲートのオン抵抗を利用することによって、バッファ回路に含まれるトランジスタのゲート絶縁膜が静電気によって破壊されるのを抑制することができる。

【 0 0 2 4 】

なお、本発明は、半導体装置、半導体装置を含む発振回路、該発振回路を備える電気機器等の種々の態様で実現することができる。

【 0 0 2 5 】

【発明の実施の形態】

次に、本発明の実施の形態を実施例に基づき以下の順序で説明する。

- A. 比較例：
- B. 第 1 実施例：
- C. 第 2 実施例：

【 0 0 2 6 】

- A. 比較例：

本発明を適用した発振回路の説明に先行して、比較例の発振回路について説明



する。

#### 【 0 0 2 7 】

図 1 は、比較例における発振回路 1 0 0 を示す説明図である。なお、図示するように、発振回路 1 0 0 は、半導体装置 1 5 0 を用いて形成されている。

#### 【 0 0 2 8 】

発振回路 1 0 0 は、水晶振動子 1 1 0 と、水晶振動子に並列接続された帰還抵抗器 1 2 0 と、を備えている。また、発振回路 1 0 0 は、直列接続された第 1 の抵抗器 1 6 1 と、反転増幅器 1 6 0 と、第 2 の抵抗器 1 6 2 と、を備えている。直列接続された第 1 の抵抗器 1 6 1 と反転増幅器 1 6 0 と第 2 の抵抗器 1 6 2 とは、水晶振動子 1 1 0 に並列接続されている。発振回路 1 0 0 は、さらに、反転増幅器 1 6 0 の出力端子に接続されたバッファ回路 1 8 0 を備えている。バッファ回路 1 8 0 は、直列接続された 2 つのインバータ 1 8 1, 1 8 2 を含んでいる。

#### 【 0 0 2 9 】

この構成によって、発振回路 1 0 0 は、クロック信号を生成することができる。具体的には、水晶振動子 1 1 0 が振動し、反転増幅器 1 6 0 は水晶振動子から与えられた帰還信号の論理レベルを反転させた発振信号を出力する。バッファ回路 1 8 0 は、生成された発振信号の波形を整え、半導体装置 1 5 0 内部の他の回路（例えば、分周回路）に向けてクロック信号を供給する機能を有している。

#### 【 0 0 3 0 】

図 1 において、水晶振動子 1 1 0 と帰還抵抗器 1 2 0 とは、半導体装置 1 5 0 の外部に設けられており、反転増幅器 1 6 0 と 2 つの抵抗器 1 6 1, 1 6 2 とバッファ回路 1 8 0 とは、半導体装置 1 5 0 の内部に設けられている。なお、半導体装置 1 5 0 の内部と外部とは、半導体装置 1 5 0 に設けられた複数のピンを介して、電氣的に接続される。図 1 の発振回路 1 0 0 に関しては、半導体装置 1 5 0 の外部に設けられた回路部分と、半導体装置 1 5 0 の内部に設けられた回路部分とは、水晶振動子 1 1 0 が接続された 2 つのピン P 1, P 2 を介して、電氣的に接続されている。

#### 【 0 0 3 1 】

本実施例では、半導体装置 1 5 0 としてゲートアレイが用いられている。なお、ゲートアレイは、特定用途向けの集積回路（A S I C）のうち、セミカスタム I C に分類されるデバイスである。半導体装置 1 5 0 は、その内部と外部とのインタフェース部分である入出力領域 W 1 と、基本セルがマトリクス状に配列された内部セル領域 W 2 と、を含んでいる。なお、基本セルには、p チャネル型の M O S トランジスタ（以下、「p M O S トランジスタ」と呼ぶ）と、n チャネル型の M O S トランジスタ（以下、「n M O S トランジスタ」と呼ぶ）と、が含まれている。

#### 【 0 0 3 2 】

2 つの抵抗器 1 6 1, 1 6 2 は、半導体装置 1 5 0 の入出力領域 W 1 に形成されている。なお、2 つの抵抗器 1 6 1, 1 6 2 は、拡散抵抗（拡散層抵抗とも呼ばれる）である。ここで、拡散抵抗とは、半導体基板中または半導体基板上に形成された拡散層の層抵抗を利用する抵抗素子である。

#### 【 0 0 3 3 】

また、反転増幅器 1 6 0 とバッファ回路 1 8 0 とは、半導体装置 1 5 0 の内部セル領域 W 2 に形成されている。反転増幅器 1 6 0 と、バッファ回路 1 8 0 に含まれる 2 つのインバータ 1 8 1, 1 8 2 とは、例えば、C M O S インバータ回路で構成されている。

#### 【 0 0 3 4 】

図 2 は、C M O S インバータ回路の具体的な回路構成を示す説明図である。図示するように、C M O S インバータ回路 2 0 0 は、直列接続された p M O S トランジスタ 2 1 0 と n M O S トランジスタ 2 2 0 とを含んでいる。p M O S トランジスタ 2 1 0 のゲートと n M O S トランジスタ 2 2 0 のゲートとは、互いに接続されており、入力端子 2 0 1 として機能する。また、p M O S トランジスタ 2 1 0 のドレインと n M O S トランジスタ 2 2 0 のドレインとは、互いに接続されており、出力端子 2 0 2 として機能する。そして、p M O S トランジスタ 2 1 0 のソースは、半導体装置 1 5 0 の第 1 の内部電源電圧 V 1 に設定されており、n M O S トランジスタ 2 2 0 のソースは、半導体装置 1 5 0 の第 2 の内部電源電圧 V 2（図 2 では接地電位）に設定されている。この構成によって、C M O S インバ

ータ回路 2 0 0 は、入力端子 2 0 1 から入力された信号の論理レベルを反転させた信号を、出力端子 2 0 2 から出力することができる。具体的には、入力が H レベルである場合には、n M O S トランジスタ 2 2 0 のみがオン状態となり、この結果、L レベルが出力される。また、入力が L レベルである場合には、p M O S トランジスタ 2 1 0 のみがオン状態となり、この結果、H レベルが出力される。

#### 【 0 0 3 5 】

ところで、反転増幅器 1 6 0 ( 図 1 ) の入力端子には、第 1 の抵抗器 1 6 1 が接続されている。また、バッファ回路 1 8 0 の入力段に設けられた第 1 のインバータ 1 8 1 の入力端子には、第 2 の抵抗器 1 6 2 が接続されている。このため、静電気などに起因して、半導体装置 1 5 0 の 2 つのピン P 1 , P 2 に比較的高い電圧が加わるような場合にも、C M O S インバータ回路のゲート酸化膜の破壊を抑制することができる。具体的には、第 1 のピン P 1 に比較的高い電圧が加わる場合には、第 1 の抵抗器 1 6 1 によって、反転増幅器 1 6 0 のゲート酸化膜の破壊が抑制される。また、第 2 のピン P 2 に比較的高い電圧が加わる場合には、第 2 の抵抗器 1 6 2 によって、第 1 のインバータ 1 8 1 のゲート酸化膜の破壊が抑制される。

#### 【 0 0 3 6 】

図 1 において、第 2 の抵抗器 1 6 2 の抵抗値は、第 1 の抵抗器 1 6 1 の抵抗値よりも小さく設定されている。例えば、第 1 の抵抗器 1 6 1 は、約 3 0 0 ~ 約 1 0 0 0  $\Omega$  に設定される。一方、第 2 の抵抗器 1 6 2 は、約 1 0 ~ 約 5 0  $\Omega$  に設定される。このように、第 2 の抵抗器 1 6 2 の抵抗値が比較的小さな値に設定されているのは、比較的高い周波数で動作する反転増幅器 1 6 0 の出力インピーダンスを比較的小さくするためである。

#### 【 0 0 3 7 】

前述のように、近年、M O S トランジスタの微細化に伴って、トランジスタのゲート酸化膜が薄くなっている。このため、比較的に薄いゲート酸化膜を有するトランジスタを用いて図 1 の発振回路 1 0 0 を構成する場合には、比較的小さな抵抗値を有する第 2 の抵抗器 1 6 2 に接続された第 1 のインバータ 1 8 1 のゲート酸化膜は、静電気などに起因して破壊され易い。

## 【 0 0 3 8 】

以下の実施例では、発振回路の構成を工夫することによって、上記の問題を解消している。

## 【 0 0 3 9 】

## B. 第 1 実施例：

図 3 は、第 1 実施例における発振回路 1 0 0 A を示す説明図である。なお、本実施例の発振回路 1 0 0 A は、比較例（図 1）の発振回路 1 0 0 とほぼ同じであるが、半導体装置 1 5 0 A は、反転増幅器 1 6 0 とバッファ回路 1 8 0 との間に、トランスミッションゲート 1 7 0 A を備えている。なお、トランスミッションゲートは、トランスファゲートあるいはパストランジスタとも呼ばれている。

## 【 0 0 4 0 】

トランスミッションゲート 1 7 0 A は、nMOS トランジスタ 1 7 1 と pMOS トランジスタ 1 7 2 とが組み合わされた CMOS トランスミッションゲートである。nMOS トランジスタ 1 7 1 のドレインと pMOS トランジスタ 1 7 2 のドレインとは、互いに接続されており、入力端子として機能する。また、nMOS トランジスタ 1 7 1 のソースと pMOS トランジスタ 1 7 2 のソースとは、互いに接続されており、出力端子として機能する。nMOS トランジスタ 1 7 1 のゲートは、半導体装置 1 5 0 の第 1 の内部電源電圧 V 1 に設定されている。このため、nMOS トランジスタ 1 7 1 は、常時、オン状態となる。一方、pMOS トランジスタ 1 7 2 のゲートは、半導体装置 1 5 0 の第 2 の内部電源電圧 V 2（本実施例では接地電位）に設定されている。このため、pMOS トランジスタ 1 7 2 も、常時、オン状態となる。すなわち、トランスミッションゲート 1 7 0 A は、半導体装置 1 5 0 に電力が供給されている場合には、定常的にオン状態に設定される。このとき、トランスミッションゲート 1 7 0 A の入力端子に与えられた電圧は、ほぼ等しい電圧値のまま、出力端子から出力される。

## 【 0 0 4 1 】

トランスミッションゲート 1 7 0 A は、比較的高いオン抵抗を有している。このため、静電気などに起因して、半導体装置 1 5 0 の第 2 のピン P 2 に比較的高い電圧が加わる場合には、トランスミッションゲート 1 7 0 A によって、バッフ

ァ回路 1 8 0 に含まれる第 1 のインバータ 1 8 1 のゲート酸化膜の破壊が抑制される。

#### 【 0 0 4 2 】

なお、トランSMissionゲート 1 7 0 A のオン抵抗は、約 3 0 0 ~ 約 1 0 0 0  $\Omega$  に設定されることが好ましく、約 5 0 0 ~ 約 1 0 0 0  $\Omega$  に設定されることが望ましい。オン抵抗は、トランSMissionゲートのゲート電圧や、トランSMissionゲートのゲート長およびゲート幅などのサイズに応じて、変更可能である。

#### 【 0 0 4 3 】

本実施例では、比較例（図 1）と同様に、半導体装置 1 5 0 A は、第 1 の抵抗器 1 6 1 を備えているが、第 1 の抵抗器 1 6 1 は、回路動作上は省略可能である。ただし、第 1 の抵抗器 1 6 1 を用いれば、反転増幅器 1 6 0 に含まれるトランジスタのゲート酸化膜が静電気によって破壊されるのを抑制することができる。

#### 【 0 0 4 4 】

また、本実施例では、比較例（図 1）と同様に、半導体装置 1 5 0 A は、反転増幅器 1 6 0 の出力インピーダンスを比較的小さくするために比較的小さな抵抗値に設定された第 2 の抵抗器 1 6 2 を備えているが、第 2 の抵抗器 1 6 2 は、回路動作上は省略可能である。ただし、第 2 の抵抗器 1 6 2 を用いれば、トランSMissionゲート 1 7 0 A を静電気から保護することができる。

#### 【 0 0 4 5 】

以上説明したように、本実施例の発振回路 1 0 0 A は、水晶振動子 1 1 0 と、水晶振動子を利用する半導体装置 1 5 0 A と、を備えている。そして、半導体装置 1 5 0 A は、水晶振動子 1 1 0 と並列に設けられ、CMOS インバータ回路で構成された反転増幅器 1 6 0 と、CMOS インバータ回路で構成され、反転増幅器から出力される信号を他の回路に伝達するためのバッファ回路 1 8 0 と、反転増幅器 1 6 0 の出力端子とバッファ回路 1 8 0 の入力端子との間に設けられた CMOS トランSMissionゲート 1 7 0 A と、を備えている。本実施例の構成を採用すれば、CMOS トランSMissionゲート 1 7 0 A のオン抵抗を利用することによって、バッファ回路 1 8 0 に含まれる CMOS インバータ回路のゲート

酸化膜が静電気によって破壊されるのを抑制することが可能となる。

【0046】

なお、本実施例では、反転増幅器160とバッファ回路180との間に、トランスミッションゲート170Aが設けられているが、トランスミッションゲート170Aは、例えば、拡散抵抗などの抵抗器と置換可能である。ただし、半導体装置150内部に、比較的大きな抵抗値を有する拡散抵抗を形成するためには、比較的大きな面積が必要となってしまう。また、ゲートアレイにおいてトランスミッションゲート170Aを拡散抵抗と置換する場合には、拡散抵抗の形成位置が制限され、発振回路の配置が制限されてしまう。すなわち、本実施例のように、トランスミッションゲート170Aのオン抵抗を利用する場合には、比較的小さな面積で比較的大きな抵抗値を得ることができるという利点があるとともに、ゲートアレイにおける発振回路の配置の自由度を高めることができるという利点もある。

【0047】

C. 第2実施例：

図4は、第2実施例における第1の発振回路100Bを示す説明図である。この発振回路100Bは、第1実施例（図3）の発振回路100Aとほぼ同じであるが、半導体装置150Bは、nMOSトランジスタ171のみで構成されたトランスミッションゲート170Bを備えている。

【0048】

図5は、第2実施例における第2の発振回路100Cを示す説明図である。この発振回路100Cも、第1実施例（図3）の発振回路100Aとほぼ同じであるが、半導体装置150Cは、pMOSトランジスタ172のみで構成されたトランスミッションゲート170Cを備えている。

【0049】

本実施例（図4，図5）の構成を採用する場合にも、第1実施例（図3）の構成を採用する場合と同様に、バッファ回路180に含まれるCMOSインバータ回路のゲート酸化膜が静電気によって破壊されるのを抑制することができる。

【0050】

ただし、図 4 に示すトランスミッションゲート 1 7 0 B は、L レベルの入力に対する伝搬特性に優れているが、H レベルの入力に対する伝搬特性は劣っている。これは、nMOS トランジスタ 1 7 1 の出力電圧は、(ゲート電圧 - しきい値電圧) 以下に制限されるためである。逆に、図 5 に示すトランスミッションゲート 1 7 0 C は、H レベルの入力に対する伝搬特性に優れているが、L レベルの入力に対する伝搬特性は劣っている。これは、pMOS トランジスタ 1 7 2 の出力電圧は、(ゲート電圧 + しきい値電圧) 以上に制限されるためである。一方、図 3

に示すトランスミッションゲート 1 7 0 A は、2 つのトランジスタ 1 7 1, 1 7 2 の長所を利用することができるため、L レベルの入力に対する伝搬特性と H レベルの入力に対する伝搬特性との双方に優れている。すなわち、図 3 のトランスミッションゲート 1 7 0 A を採用すれば、反転増幅器からバッファ回路への良好な伝搬特性を得ることができるという利点がある。

#### 【 0 0 5 1 】

なお、この発明は上記の実施例や実施形態に限られるものではなく、その要旨を逸脱しない範囲において種々の態様で実施することが可能であり、例えば次のような変形も可能である。

#### 【 0 0 5 2 】

(1) 上記実施例では、水晶振動子 1 1 0 が単独で用いられているが、水晶振動子 1 1 0 に負荷容量を接続するようにしてもよい。また、上記実施例では、発振回路 1 0 0 は、水晶振動子 1 1 0 を備えているが、これに代えて、例えば、PZT,  $\text{PbTiO}_3$  などのセラミック振動子を備えるようにしてもよい。一般には、発振回路は、振動子を備えていればよい。

#### 【 0 0 5 3 】

(2) 上記実施例では、半導体装置 1 5 0 の外部に帰還抵抗器 1 2 0 が設けられているが、帰還抵抗器は、半導体装置の内部に設けられていてもよい。また、帰還抵抗器 1 2 0 は省略可能である。ただし、上記実施例のように、帰還抵抗器を利用すれば、振動子を確実に振動させることができる。

#### 【 0 0 5 4 】

(3) 上記実施例では、トランスミッションゲートのゲートは、半導体装置の内部電源電圧に設定されているが、他の電圧に設定されていてもよい。また、上記実施例では、トランスミッションゲートのゲートは、常時オン状態となっているが、トランスミッションゲートのゲート電圧を他のトランジスタを用いて変化させ、トランスミッションゲートのオン状態とオフ状態とを制御可能としてもよい。ただし、上記実施例のようにすれば、トランスミッションゲートの制御を省略することができるという利点がある。

## 【 0 0 5 5 】

(4) 上記実施例では、反転増幅器 1 6 0 とバッファ回路 1 8 0 を構成する 2 つのインバータ 1 8 1, 1 8 2 とは、それぞれ、1 組の p M O S トランジスタおよび n M O S トランジスタで構成された C M O S インバータ回路であるが、これに代えて、p M O S トランジスタが拡散抵抗などの抵抗器に置換されたインバータ回路を用いるようにしてもよい。あるいは、2 組の p M O S トランジスタおよび n M O S トランジスタで構成された 2 入力 N A N D ゲートを用いるようにしてもよい。この場合には、例えば、N A N D ゲートの 2 つの入力端子は互いに接続されていてもよいし、N A N D ゲートの一方の入力端子にその動作を制御するための制御信号が入力されていてもよい。特に、反転増幅器は、反転 ( N O T ) の論理動作を行なうようなものであればよい。

## 【 0 0 5 6 】

また、上記実施例では、半導体装置 1 5 0 は、ゲート絶縁膜が酸化膜で構成された M O S トランジスタを備えているが、これに代えて、ゲート絶縁膜が窒化膜などの他の絶縁膜で構成された M I S トランジスタを備えていてもよい。また、トランジスタのゲートは、ポリシリコンで構成されていてもよい。

## 【 0 0 5 7 】

さらに、上記実施例では、半導体装置 1 5 0 として、ゲートアレイが用いられているが、他の集積回路を用いるようにしてもよい。

## 【 0 0 5 8 】

一般には、半導体装置は、複数の絶縁ゲート型のトランジスタを備えていればよい。そして、反転増幅器とバッファ回路とトランスミッションゲートとは、少



なくとも 1 つの絶縁ゲート型のトランジスタを用いて形成されていればよい。

【図面の簡単な説明】

【図 1】 比較例における発振回路 1 0 0 を示す説明図である。

【図 2】 CMOS インバータの具体的な回路構成を示す説明図である。

【図 3】 第 1 実施例における発振回路 1 0 0 A を示す説明図である。

【図 4】 第 2 実施例における第 1 の発振回路 1 0 0 B を示す説明図である

。

【図 5】 第 2 実施例における第 2 の発振回路 1 0 0 C を示す説明図である

。

【図 6】 従来の発振回路 9 0 0 の基本的な構成を示す説明図である。

【符号の説明】

1 0 0, 1 0 0 A ~ C … 発振回路

1 1 0 … 水晶振動子

1 2 0 … 帰還抵抗器

1 5 0, 1 5 0 A ~ C … 半導体装置

1 6 0 … 反転増幅器

1 6 1 … 第 1 の抵抗器

1 6 2 … 第 2 の抵抗器

1 7 0 A ~ C … トランスマッションゲート

1 7 1 … nMOS トランジスタ

1 7 2 … pMOS トランジスタ

1 8 0 … バッファ回路

1 8 1, 1 8 2 … インバータ

2 0 0 … CMOS インバータ回路

2 0 1 … 入力端子

2 0 2 … 出力端子

2 1 0 … pMOS トランジスタ

2 2 0 … nMOS トランジスタ

9 0 0 … 発振回路

9 1 0 … 水晶振動子

9 2 0 … 帰還抵抗器

9 5 0 … 半導体装置

9 6 0 … 反転増幅器

9 7 0 … バッファ回路

P 1 … 第 1 のピン

P 2 … 第 2 のピン

V 1 … 第 1 の内部電源電圧

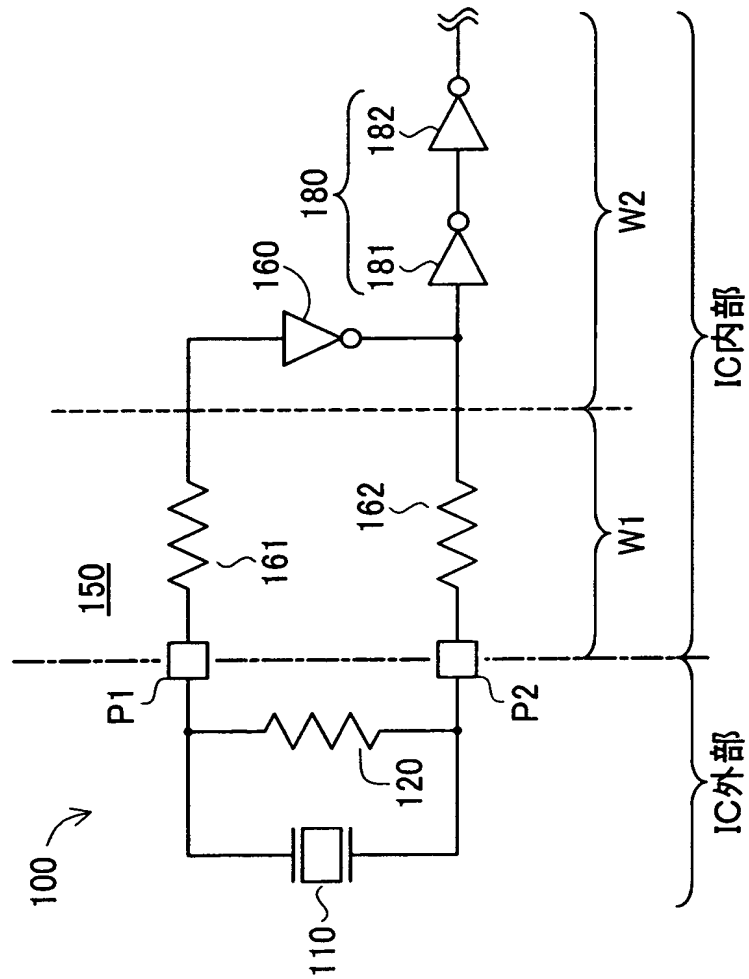
V 2 … 第 2 の内部電源電圧

W 1 … 入出力領域

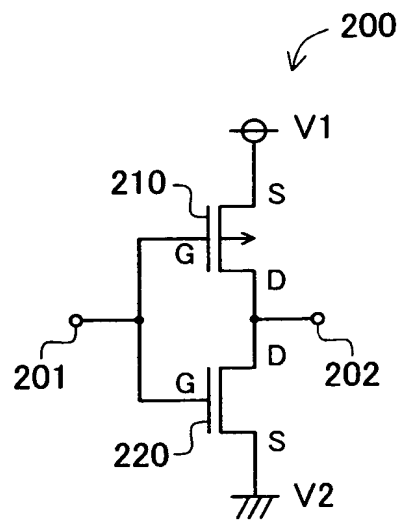
W 2 … 内部セル領域

【書類名】 図面

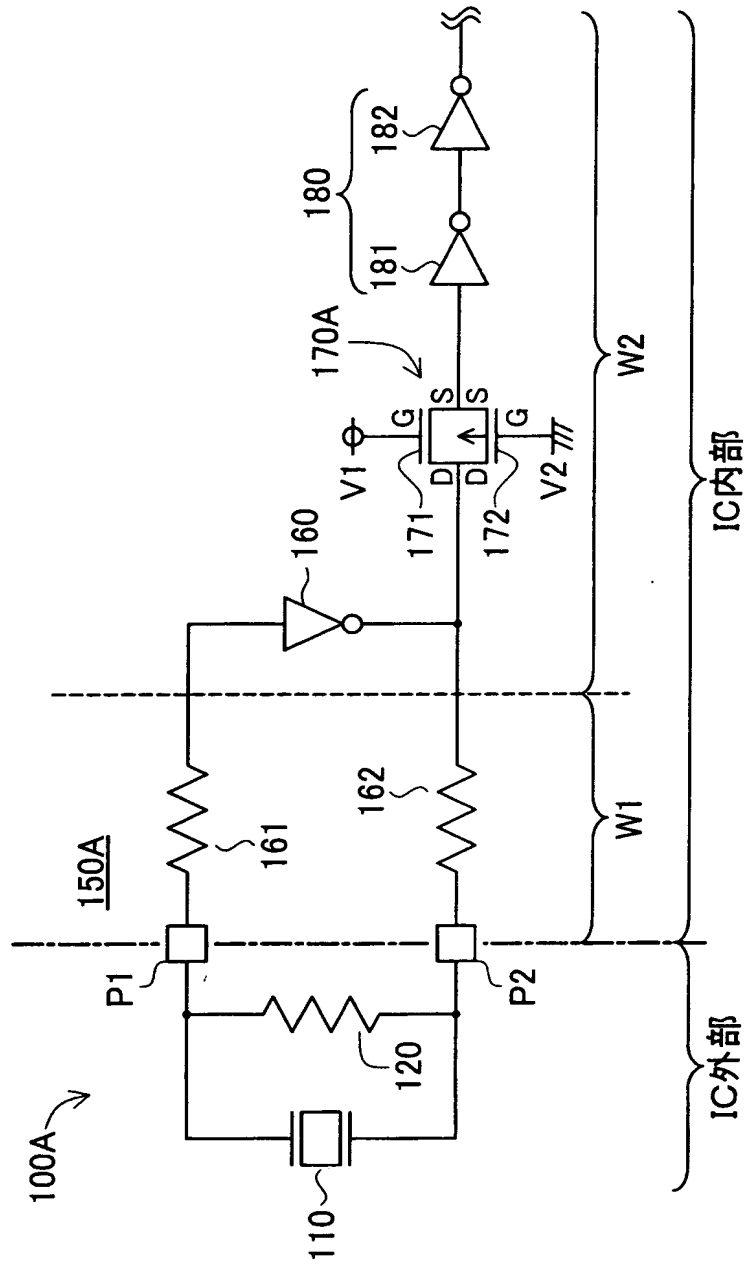
【図 1】



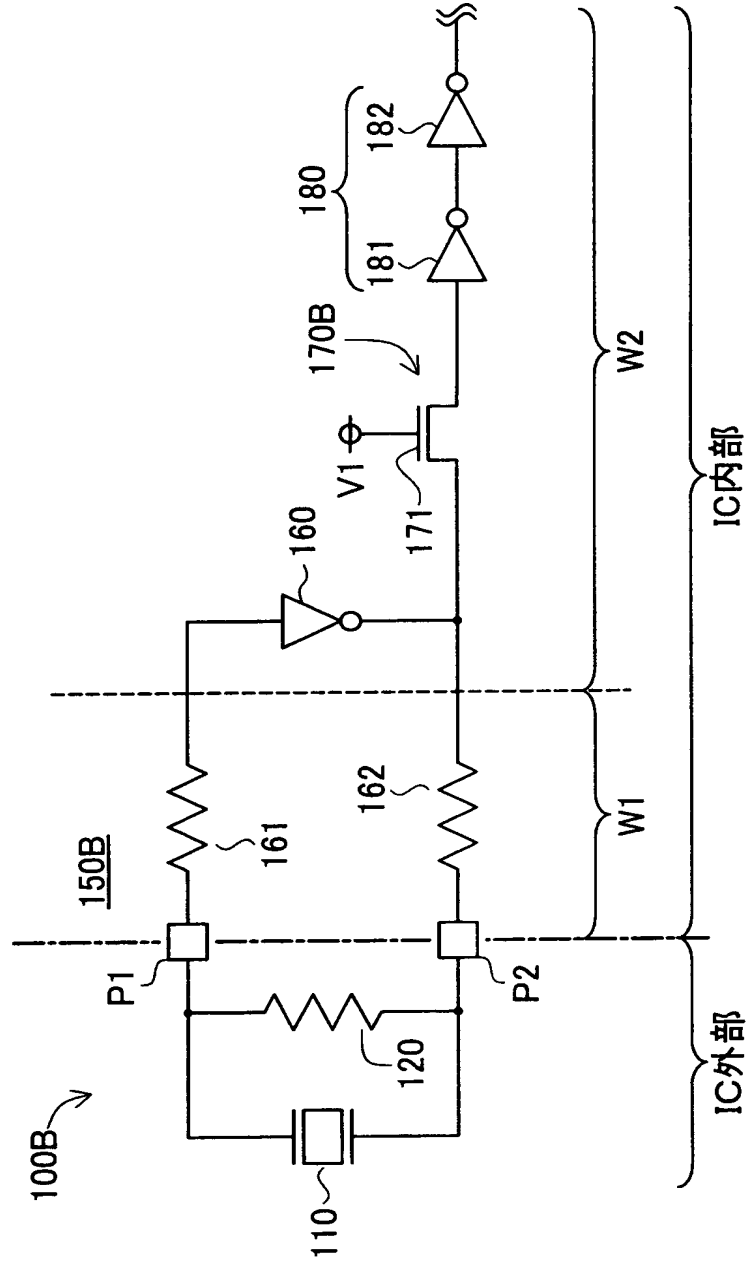
【図 2】



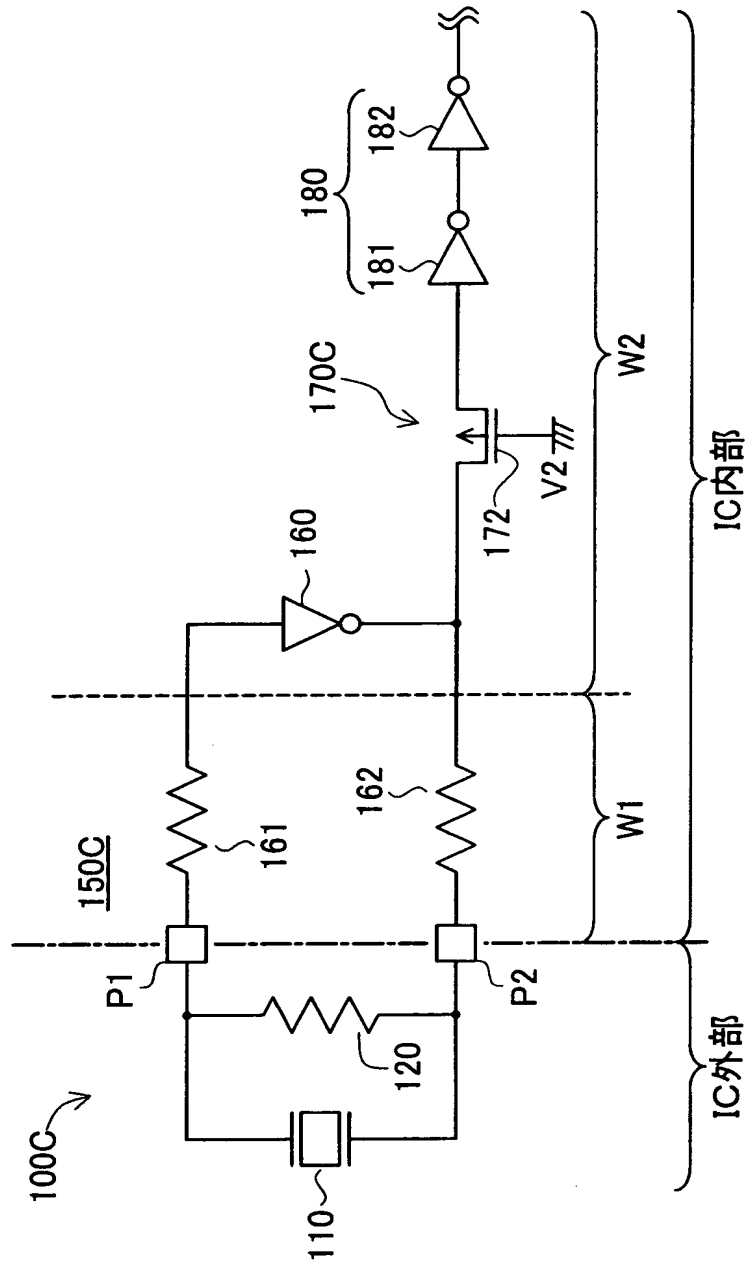
【図 3】



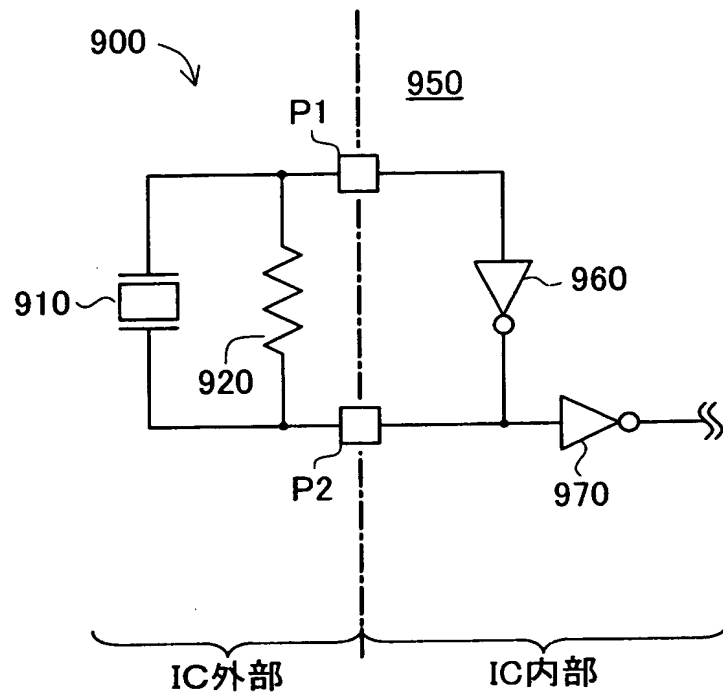
【図 4】



【図 5】



【図 6】





【書類名】 要約書

【要約】

【課題】 発振回路を形成する半導体装置内部のトランジスタのゲート絶縁膜が静電気によって破壊されるのを抑制することのできる技術を提供する。

【解決手段】 発振回路 1 0 0 A は、振動子 1 1 0 と、振動子を利用する半導体装置 1 5 0 A と、を備えている。半導体装置は、振動子と並列に設けられ、絶縁ゲート型のトランジスタを用いて形成された反転増幅器 1 6 0 と、絶縁ゲート型のトランジスタを用いて形成され、反転増幅器から出力される信号を他の回路に伝達するためのバッファ回路 1 8 0 と、反転増幅器の出力端子とバッファ回路の入力端子との間に設けられ、絶縁ゲート型のトランジスタを用いて形成されたトランスミッションゲート 1 7 0 A と、を備える。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 2 3 6 9 ]

1. 変更年月日	1 9 9 0 年 8 月 2 0 日
[変更理由]	新規登録
住 所	東京都新宿区西新宿 2 丁目 4 番 1 号
氏 名	セイコーエプソン株式会社